



(19)

(11) Publication number:

11068095 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09216765

(51) Int'l. Cl.: H01L 29/78 H01L 21/3065 H01L 21/3205

(22) Application date: 11.08.97

(30) Priority:

(43) Date of application publication: 09.03.99

(84) Designated contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: MIHARA SATOSHI

(74) Representative:

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

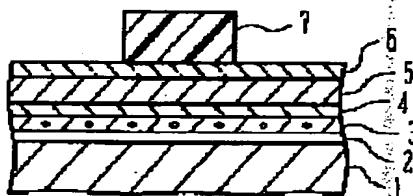
(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the occurrence of residual dross and to etch a silicon film at a high selection ratio to a silicon dioxide film by etching a tungsten film and, heating a resist pattern used as a mask to the temperature of not less than a specified one.

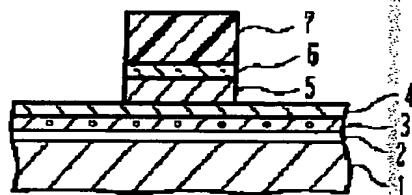
SOLUTION: A gate insulating film 2, a polysilicon film 3, a titanium nitride 4, a tungsten (W) film 5 and a SiON film 6 are stacked on the surface of a silicon substrate 1. The resist pattern 7 is formed on the SiON film 6 and the SiON film 6 and the W film 5 are etched with the pattern as the mask. A processing container is evacuated after etching and thermal treatment is executed for about one minute at the temperature of 80° C. The substrate is taken out into air after heat treatment and the resist pattern 7 is ashed and removed. Since residual dross which is difficult to remove is not left by executing thermal treatment before the substrate is taken out into air. Thus, the polysilicon film 3 can be etched at the high selection ratio to the gate insulating film 2.

COPYRIGHT: (C)1999,JPO

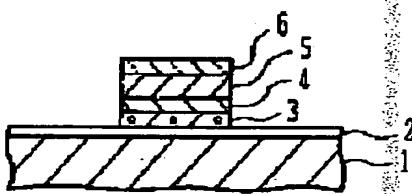
(A)



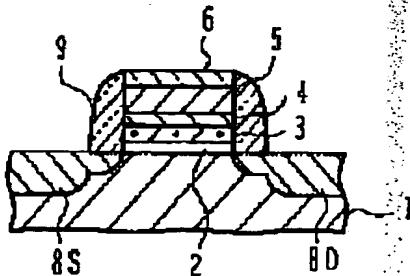
(B)



(C)



(D)



8S

2

8D

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-68095

(43)公開日 平成11年(1999)3月9日

(51)Int.Cl.^a

H 01 L 29/78

21/3065

21/3205

識別記号

F I

H 01 L 29/78

21/302

21/88

3 0 1 G

H

Q

審査請求 未請求 請求項の数15 O L (全 8 頁)

(21)出願番号

特願平9-216765

(22)出願日

平成9年(1997)8月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1

1号

(72)発明者 三原 智

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(74)代理人 弁理士 高橋 敬四郎

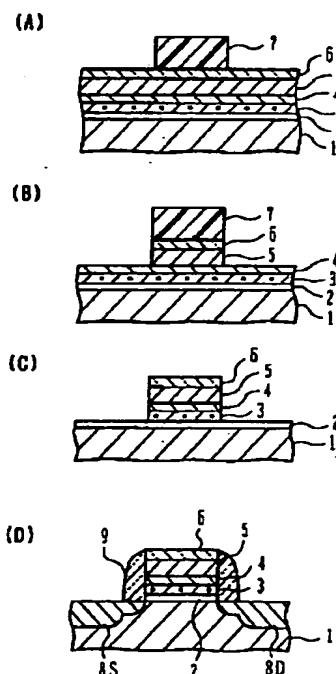
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 シリコン膜と金属膜との積層パターン形成時に、下地表面に与えるダメージを軽減することができる半導体装置の製造方法を提供する。

【解決手段】 半導体基板の表面上に、シリコンからなる第1の膜を堆積する。第1の膜の表面上に、タンゲステンに対してエッチング選択性のある材料からなる第2の膜を堆積する。第2の膜の上に、タンゲステンからなる第3の膜を堆積する。第3の膜の上に、レジストパターンを形成し、このレジストパターンをマスクとして、第3の膜を部分的にエッチングする。第2の膜を、第3の膜と同一形状にパターニングする。第1の膜を、第3の膜と同一形状にパターニングする。第3の膜をパターニングする工程の後、第1の膜をパターニングする工程の前に、さらに、レジストパターンを80°C以上の温度まで加熱する工程と、半導体基板を大気中に取り出す工程と、レジストパターンを剥離する工程とを含む。

第1の実施例



【特許請求の範囲】

【請求項1】 半導体基板の表面上に、シリコンからなる第1の膜を堆積する工程と、前記第1の膜の表面上に、タンゲステンに対してエッチング選択性のある材料からなる第2の膜を堆積する工程と、前記第2の膜の上に、タンゲステンからなる第3の膜を堆積する工程と、前記第3の膜の上に、レジストパターンを形成する工程と、前記レジストパターンをマスクとして、前記第3の膜を部分的にエッチングしてパターニングし、前記第2の膜の表面でエッチングを停止する工程と、前記第2の膜を、前記第3の膜と同一形状にパターニングする工程と、前記第1の膜を、前記第3の膜と同一形状にパターニングする工程とを有し、前記第3の膜をパターニングする工程の後、前記第1の膜をパターニングする工程の前に、さらに、前記レジストパターンを80°C以上の温度まで加熱する工程と、前記半導体基板を大気中に取り出す工程と、前記レジストパターンを剥離する工程とを含む半導体装置の製造方法。

【請求項2】 前記第2の膜をパターニングする工程が、80°C以上の温度で該第2の膜をエッチングする工程を含み、前記レジストパターンを80°C以上の温度まで加熱する工程を兼ねる請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第3の膜を堆積する工程の後、さらに、該第3の膜の上に無機材料からなる第4の膜を堆積する工程を含み、前記レジストパターンを形成する工程において、前記第4の膜の上に該レジストパターンを形成し、前記第3の膜をパターニングする工程の前に、前記レジストパターンをマスクとして前記第4の膜をエッチングしてパターニングする工程を含み、前記第1の膜をパターニングする工程において、前記第4の膜をマスクとして該第1の膜をエッチングする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記レジストパターンを剥離する工程の後、さらに、前記半導体基板の表面を、アミンを含む液で処理する工程を含む請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記半導体基板が、シリコン表面層を有する下地基板と、該下地基板の表面上に形成された酸化シリコンからなるゲート絶縁膜とを有し、前記第2の膜及び第1の膜をパターニングする工程の後、さらに、前記下地基板のシリコン表面層のうち、パターニングさ

れた前記第1の膜の両側の領域に不純物を添加し、ソース領域及びドレン領域を形成する工程とを含む請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記第2の膜及び第1の膜をパターニングする工程において、Cl₂ガス、Cl₂とO₂との混合ガス、HBrガス、HBrとO₂との混合ガスからなる群より選択された少なくとも1つのガスを用いて前記第2及び第1の膜をエッチングする請求項1～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記第2の膜が、TiNからなる膜、またはTiNとTiとの積層膜である請求項1～6のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記第3の膜をエッチングする工程において、基板温度を-20°C以下としてエッチングを行う請求項1～7のいずれかに記載の半導体装置の製造方法。

【請求項9】 半導体基板の表面上に、シリコンからなる第1の膜を堆積する工程と、

前記第1の膜の表面上に、タンゲステンに対してエッチング選択性のある材料からなる第2の膜を堆積する工程と、

前記第2の膜の上に、タンゲステンからなる第3の膜を堆積する工程と、

前記第3の膜の上に、レジストパターンを形成する工程と、

前記レジストパターンをマスクとして、前記第3の膜を部分的にエッチングしてパターニングし、前記第2の膜の表面でエッチングを停止する工程と、

前記第2の膜を、前記第3の膜と同一形状にパターニングする工程と、

前記第1の膜を、前記第3の膜と同一形状にパターニングする工程とを有し、

前記第3の膜をパターニングする工程の後、前記第1の膜をパターニングする工程の前に、さらに、

前記半導体基板を大気に晒すことなく、前記レジストパターンを剥離する工程を含む半導体装置の製造方法。

【請求項10】 前記第3の膜を堆積する工程の後、さらに、該第3の膜の上に無機材料からなる第4の膜を堆積する工程を含み、

前記レジストパターンを形成する工程において、前記第4の膜の上に該レジストパターンを形成し、

前記第3の膜をパターニングする工程の前に、前記レジストパターンをマスクとして前記第4の膜をエッチングしてパターニングする工程を含み、

前記第1の膜をパターニングする工程において、前記第4の膜をマスクとして該第1の膜をエッチングする請求項9に記載の半導体装置の製造方法。

【請求項11】 前記レジストパターンを剥離する工程の後、さらに、前記半導体基板の表面を、アミンを含む液で処理する工程を含む請求項9または10に記載の半

導体装置の製造方法。

【請求項12】 前記半導体基板が、シリコン表面層を有する下地基板と、該下地基板の表面上に形成された酸化シリコンからなるゲート絶縁膜とを有し、前記第2の膜及び第1の膜をパターニングする工程の後、さらに、前記下地基板のシリコン表面層のうち、パターニングされた前記第1の膜の両側の領域に不純物を添加し、ソース領域及びドレイン領域を形成する工程とを含む請求項9～11のいずれかに記載の半導体装置の製造方法。

【請求項13】 前記第2の膜及び第1の膜をパターニングする工程において、 Cl_2 ガス、 Cl_2 と O_2 との混合ガス、 HBr ガス、 HBr と O_2 との混合ガスからなる群より選択された少なくとも1つのガスを用いて前記第2及び第1の膜をエッチングする請求項9～12のいずれかに記載の半導体装置の製造方法。

【請求項14】 前記第2の膜が、 TiN からなる膜、または TiN と Ti との積層膜である請求項9～13のいずれかに記載の半導体装置の製造方法。

【請求項15】 前記第3の膜をエッチングする工程において、基板温度を -20°C 以下としてエッチングを行う請求項9～14のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特にシリコン膜とその上に形成された金属膜との積層構造をパターニングする工程を含む半導体装置の製造方法に関する。

【0002】 近年のMOSトランジスタの高性能化に伴い、ゲート電極の低抵抗化が求められている。特に、ゲート電極をシリコン膜と金属膜との積層構造として低抵抗化を図る技術が注目されている。

【0003】

【従来の技術】 特開平4-219929号公報に、タンゲステン(W)と TiN との積層構造をパターニングする技術が開示されている。この技術によると、上層のW膜の上に形成したレジストパターンをマスクとし、F系ガスを用いてW膜を部分的にエッチングする。その後、 Cl_2 またはB系のガスを用いて TiN 膜を部分的にエッチングする。 TiN 膜のエッチング後、レジストパターンを除去することにより、パターニングされたW膜と TiN 膜との積層構造を得ることができる。

【0004】

【発明が解決しようとする課題】 ゲート電極となる積層膜を部分的にエッチングしてゲート電極を残す際には、通常、ゲート電極の両側にゲート絶縁膜が露出する。このゲート絶縁膜の下のシリコン層にダメージを与えないためには、ゲート絶縁膜が露出した時点で自動的にエッチングを停止させることが望ましい。このためには、ゲ

ート絶縁膜に対して、ゲート電極となる積層膜のエッチング選択比を高くする必要がある。しかし、特開平4-219929号公報に開示された条件では、このエッチング選択比が不十分であり、ゲート絶縁膜及びその下のシリコン層がダメージを受けやすい。

【0005】 本発明の目的は、シリコン膜と金属膜との積層パターン形成時に、下地表面に与えるダメージを軽減することができる半導体装置の製造方法を提供することである。

【0006】

【課題を解決するための手段】 本発明の一観点によると、半導体基板の表面上に、シリコンからなる第1の膜を堆積する工程と、前記第1の膜の表面上に、タンゲステンに対してエッチング選択性のある材料からなる第2の膜を堆積する工程と、前記第2の膜の上に、タンゲステンからなる第3の膜を堆積する工程と、前記第3の膜の上に、レジストパターンを形成する工程と、前記レジストパターンをマスクとして、前記第3の膜を部分的にエッチングしてパターニングし、前記第2の膜の表面でエッチングを停止する工程と、前記第2の膜を、前記第3の膜と同一形状にパターニングする工程と、前記第1の膜を、前記第3の膜と同一形状にパターニングする工程とを有し、前記第3の膜をパターニングする工程の後、前記第1の膜をパターニングする工程の前に、さらに、前記レジストパターンを 80°C 以上の温度まで加熱する工程と、前記半導体基板を大気中に取り出す工程と、前記レジストパターンを剥離する工程とを含む半導体装置の製造方法が提供される。

【0007】 半導体基板を大気中に取り出す前に、レジストパターンを 80°C 以上の温度まで加熱すると、レジストパターン剥離後に残る残渣が容易に除去できるようになる。第1の膜をエッチングする時には既にレジストパターンが剥離されている。このため、レジストパターンから放出される炭素の影響を回避することができる。例えば、第1の膜の下に SiO_2 膜が形成されている場合、エッチング雰囲気中に炭素が含まれていると、 SiO_2 膜に対するシリコン膜のエッチング選択比が低下してしまう。

【0008】 本発明の他の観点によると、半導体基板の表面上に、シリコンからなる第1の膜を堆積する工程と、前記第1の膜の表面上に、タンゲステンに対してエッチング選択性のある材料からなる第2の膜を堆積する工程と、前記第2の膜の上に、タンゲステンからなる第3の膜を堆積する工程と、前記第3の膜の上に、レジストパターンを形成する工程と、前記レジストパターンをマスクとして、前記第3の膜を部分的にエッチングしてパターニングし、前記第2の膜の表面でエッチングを停止する工程と、前記第2の膜を、前記第3の膜と同一形状にパターニングする工程と、前記第1の膜を、前記第3の膜と同一形状にパターニングする工程とを有し、前

記第3の膜をパターニングする工程の後、前記第1の膜をパターニングする工程の前に、さらに、前記半導体基板を大気に晒すことなく、前記レジストパターンを剥離する工程を含む半導体装置の製造方法が提供される。

【0009】レジストパターンの剥離前に半導体基板を大気に晒さないことにより、残渣を残すことなくきれいにレジストパターンを剥離することが可能になる。

【0010】

【発明の実施の形態】特開平4-219929号公報に開示された方法によると、レジストパターンをマスクとして、W膜及びTiN膜をエッチングする。この方法だと、レジストパターンに含まれる炭素の影響により、SiO₂からなるゲート絶縁膜に対するエッチング選択比が低下してしまう。エッチング選択比を高くするためには、少なくともゲート絶縁膜を露出させる前にレジストパターンを除去することが好ましい。

【0011】本発明の実施例の説明を行う前に、上記考察に基づいて行った予備実験について説明する。

【0012】図6Aに示すように、シリコン基板100の上に、SiO₂膜101、ポリシリコン膜102、TiN膜103、W膜104、SiON膜105が積層された基板を準備する。SiON膜105の上にレジストパターン106を形成する。

【0013】レジストパターン106をマスクとし、NF₃ガスを用いてSiON膜105とW膜104を部分的にエッチングする。このとき、TiN膜103がエッチング停止層として作用する。その後、基板を大気中に取り出す。マイクロ波プラズマのダウンフロー型レジスト剥離装置の処理室内に基板を装填し、O₂とH₂Oのプラズマを用いてレジストパターン106を剥離した。

【0014】図6Bは、レジストパターン106を剥離した後の基板の断面図を示す。パターニングされたSiON膜105とW膜106の積層構造の側面から上方に向かって突出した壁状の残渣106、及び積層構造の側面の下方部分に密着した残渣107が残った。残渣106は、アミン系の溶液(アクト社製、ACT935)により除去できたが、残渣107は除去できなかった。

【0015】残渣107が残ってしまうため、W膜104とSiON膜105をマスクとしてTiN膜103及びポリシリコン膜102を制御性よくパターニングすることができない。本発明の実施例によると、この残渣の発生を防止もしくは残渣を除去して、TiN膜及びポリシリコン膜を制御性よくエッチングすることが可能になる。

【0016】図1を参照して本発明の第1の実施例について説明する。図1Aに示すように、シリコン基板1の表面層を、温度約900°Cで熱酸化し、厚さ約10nmのゲート絶縁膜2を形成する。ゲート絶縁膜2の上に、原料ガスとしてSiH₄を用いた化学気相堆積(CVD)により、厚さ約50nmのポリシリコン膜3を堆積す

る。ポリシリコン膜3の上に、Tiターゲット及びN₂ガスとArガスを用いた反応性スパッタリングにより、厚さ約25nmのTiN膜4を堆積する。TiN膜4の上に、原料ガスとしてWF₆を用いたCVDにより、厚さ約150nmのW膜5を堆積する。W膜5の上に、原料ガスとしてSiH₄とO₂とN₂を用いたCVDにより、厚さ約90nmのSiON膜6を堆積する。なお、ポリシリコン膜3の代わりにアモルファスシリコン膜を堆積してもよい。

【0017】SiON膜6の上に、レジストパターン7を形成する。レジストパターン7をマスクとして、SiON膜6及びW膜5をエッチングする。

【0018】図4に、エッチング装置の概略を示す。上下が開口した石英製の処理容器60の上側開口部が、電極61により密閉されている。電極61には、高周波電源72から高周波電圧が印加される。電極61内には静電チャックが実装されており、その下面に処理基板66が保持される。

【0019】さらに、電極61内には、冷却水流路64が取り付けられている。低温チラー63から冷却水流路64内に冷却水が供給され、静電チャックにより保持された処理基板66が冷却される。処理基板を保持する面に、ガス供給管65a及びガス排出管65bが開口している。ガス供給管65aからHeガスが供給される。Heガスは、基板保持面と基板66との間に充満し、ガス排出管65bを通じて排出される。基板保持面と処理基板66との間に充満したHeガスが熱伝導媒体として作用し、基板66が効率的に冷却される。

【0020】処理容器60の下側開口部の中央部に、エッチングガス供給口70が配置されている。エッチングガス供給口70から処理容器60内にエッチングガスが供給される。処理容器60内に供給されたエッチングガスは、下側開口部の内周面とエッチングガス供給口70との間の隙間71を通じて外部に排出される。

【0021】図1Aに戻って、SiON膜6及びW膜5のエッチング条件を説明する。まず、エッチングガスとして流量140sccmのNF₃ガスと流量70sccmのArガスを用い、処理容器内の圧力を0.1torr、印加電力を500W、チラー温度を-50°Cとして15秒間のエッチングを行う。なお、W膜のエッチングは、基板温度を-20°C以下として行うことが好ましい。続いて、エッチングガスとして流量75sccmのSF₆ガスと流量3sccmのN₂ガスを用い、処理容器内の圧力を0.08torr、印加電力を230W、チラー温度を-50°Cとしてエッチングを行う。なお、W膜5のエッチングガスとして、フッ素を含むガス、例えばNF₃ガス、NF₃とArとの混合ガス、SF₆ガス、またはSF₆とN₂との混合ガスを用いてもよい。

【0022】処理容器内のプラズマの発光スペクトルを観測して、W膜5のエッチング終了時点を検出する。F

原子に起因する発光ピークの強度が急激に増加する時点が、W膜5のエッティング終了と考えられる。F原子に起因する発光ピークの強度が急激に増加した時点からさらにオーバーエッティングを行う。オーバーエッティングの時間は、SF₆ガスの導入からW膜5のエッティング終了検出までの時間の約10%である。TiN膜4がエッティング停止層として作用するため、W膜5を再現性よく除去することができる。

【0023】図1Bに、W膜5をエッティングした後の基板の断面図を示す。この基板を図4に示すエッティング装置内に配置したまま、処理容器60内を真空排気し、温度80°Cで1分間の熱処理を行う。熱処理後、基板を大気中に取り出し、マイクロ波プラズマのダウンフロー型レジスト剥離装置を用いて、レジストパターン7を剥離する。

【0024】図5に、実施例で用いたレジスト剥離装置の概略を示す。A1製の処理容器80内の空間が網目状のシャワーヘッド81により上部のプラズマ発生室82と下部の処理室83に分離されている。導波管84を伝搬してきたマイクロ波が、石英製のマイクロ波透過窓85を通してプラズマ発生室82内に導入される。また、プラズマ発生室82内に、ガス導入管86を通して処理ガスが供給される。処理室83内には、処理基板87を載置するためのステージ88が配置されている。

【0025】プラズマ発生室82内に供給された処理ガスは、マイクロ波によりプラズマ化される。このプラズマがシャワーヘッド81を通って下方に流れ、ステージ88に載置された処理基板87の表面に達する。このプラズマにより、処理基板87の表面に形成されているレジストパターンがアッシング除去される。処理室83内のプラズマ及び反応生成物は、下方のガス排気口89から外部に排出される。

【0026】図1Bに戻って、レジストパターン7のアッシング条件について説明する。使用したアッシングガスは、流量1350sccmのO₂ガスと流量150sccmのH₂Oガスである。処理室内の圧力は1.0torr、マイクロ波パワーは1.4kW、基板温度は200°Cである。この条件でレジストパターン7をアッシング除去したところ、図6Bに示すような側面下方の残渣107は残らなかった。側面の上に突出した壁状の残渣106は、アミンを含む処理液（アクト社製、ACT935）を用い、温度75°Cの条件で15分間処理することによりきれいに除去することができた。

【0027】なお、アッシングガスとして、CF₄、SF₆、またはNF₃等のF原子を含むガスを使用してもよい。

【0028】レジストパターン7の除去後、パターニングされたSiON膜6をマスクとし、図4に示すエッティング装置を用いてTiN膜4とポリシリコン膜3をエッティングする。

【0029】TiN膜4のエッティングは、エッティングガスとしてCl₂を用い、ガス流量50sccm、圧力0.05torr、印加電力500W、チラー温度80°Cの条件で約10秒間行う。ポリシリコン膜3のエッティングは、エッティングガスとしてHBrを用い、ガス流量100sccm、圧力0.1torr、印加電力300W、チラー温度80°Cの条件で行う。

【0030】図1Cは、TiN膜4とポリシリコン膜3をエッティングした後の基板の断面図を示す。図1Cに示すように、周囲のゲート絶縁膜2を残したまま、側面がほぼ垂直に切り立ったポリシリコン膜3からSiON膜6までのゲート積層構造を形成することができた。このようにして、ポリシリコン膜3、TiN膜4、及びW膜5の3層からなるゲート電極を形成することができる。

【0031】なお、ポリシリコン膜3のエッティングガスとして、Cl₂ガス、Cl₂とO₂との混合ガス、またはHBrとO₂との混合ガスを用いてもよい。

【0032】図1Dは、ゲート電極形成後、ソース／ドレイン領域を形成して作製したMOSトランジスタの概略断面図を示す。以下、図1C以降の工程を簡単に説明する。

【0033】ゲート積層構造をマスクとして、シリコン基板1の表面に低濃度ドレイン構造形成のための不純物をイオン注入する。ゲート電極の両側に露出しているゲート絶縁膜2をエッティング除去する。その後、ゲート積層構造の側面上にサイドウォール絶縁膜9を形成する。サイドウォール絶縁膜9とゲート積層構造とをマスクとして、ソース／ドレイン領域形成のためのイオン注入を行う。活性化アニールを行い、ゲート積層構造の両側の基板表面層に、ソース領域8Sとドレイン領域8Dを形成する。

【0034】第1の実施例では、図1Bまでの工程の後、基板を大気中に取り出す前に80°Cの熱処理を行っている。この熱処理により、レジストパターン7のアッシング後に、除去困難な残渣が残ることを防止できる。アッシング後の残渣は、アミンを含む処理液で除去可能である。

【0035】なお、熱処理温度を50°Cとしたところ、除去困難な残渣が残った。このため、大気中に取り出す前の熱処理の温度を80°C以上とすることが好ましい。また、レジストの変質を防止するために、熱処理温度を200°C以下とすることが好ましい。また、十分な熱処理の効果を得るために、熱処理時間を30秒以上とすることが好ましい。

【0036】図1Cまでの工程において、ポリシリコン膜3のエッティング時に、SiON膜6とW膜5の積層がマスクとして用いられる。この時、レジストパターンが残っていないため、炭素による悪影響を回避でき、SiO₂からなるゲート絶縁膜2に対してポリシリコン膜3を高い選択比でエッティングすることが可能となる。

【0037】次に、図2を参照して、第2の実施例について説明する。図2Aまでの工程は、第1の実施例における図1Aまでの工程と同様である。その後、第1の実施例では、レジストパターン7をマスクとしてW膜5までをエッチングしたが、第2の実施例では、その下のTiN膜4までをエッチングする。SiON膜6及びW膜5のエッチング条件は、第1の実施例の場合と同様である。

【0038】W膜5をエッチングした後、真空を保ったまま他の処理容器内まで搬送し、TiN膜4のエッチングを行う。TiN膜4のエッチングは、エッチングガスとしてCl₂を用い、ガス流量50 sccm、圧力0.05 torr、印加電力500 W、チラー温度80°Cの条件で約10秒間行う。

【0039】このとき、レジストパターン7が、温度80°Cまで加熱される。このため、第1の実施例の場合と同様に、基板が大気中に取り出される前に、レジストパターン7が80°Cの熱履歴を経験することになる。

【0040】図2Bは、TiN膜4をエッチングした後の基板の断面図を示す。この基板を大気中に取り出し、図5に示すレジスト剥離装置を用いてレジストパターン7を剥離する。アッシング条件は、第1の実施例における図1Bのレジストパターン7のアッシング条件と同様である。レジストパターン7を除去した後の残渣は、アミンを含む処理液できれいに除去することができた。

【0041】SiON膜6をマスクとして、ポリシリコン膜3を部分的にエッチングする。ポリシリコン膜3のエッチング条件は、第1の実施例における図1Bのポリシリコン膜3のエッチング条件と同様である。

【0042】図2Cは、ポリシリコン膜3をエッチングした後の基板の断面図を示す。本実施例の場合も、レジストパターン7を剥離した後の残渣を容易に除去できるため、第1の実施例と同様に、側面の切り立ったポリシリコン膜3からSiON膜6までのゲート積層構造を制御性よく形成することができる。また、ポリシリコン膜3のエッチング時にレジストパターン7が残っていないため、ゲート絶縁膜2に対してポリシリコン膜3を高い選択比でエッチングすることができる。

【0043】上記第1及び第2の実施例では、図1A及び図2Aに示すように、W膜5の上にSiON膜6を堆積している。図1B及び図2Bの各々の後の工程において、SiON膜6をマスクとしてポリシリコン膜3をエッチングしている。W膜5の上にSiON膜6を堆積することなく、W膜5をマスクとしてポリシリコン膜3をエッチングしてもよい。

【0044】次に、図3を参照して、第3の実施例について説明する。第1及び第2の実施例では、レジストパターンを剥離する前に基板を大気中に取り出した。これに対し、第3の実施例では基板を大気中に取り出さないでレジストパターンの剥離を行う。

【0045】図3Aまでの工程は、第1の実施例における図1Aまでの工程とほぼ同様であり、図1Aに示すSiON膜6を堆積しない点のみが異なる。レジストパターン7をマスクとしてW膜5を部分的にエッチングする。W膜5のエッチングは、エッチングガスとしてNF₃とArとを用い、NF₃ガスの流量150 sccm、Arガスの流量150 sccm、圧力0.1 torr、印加電力200 W、チラー温度-50°Cの条件で行う。

【0046】図3Bは、W膜5をエッチングした後の基板の断面図を示す。この基板を大気に晒すことなく、図5に示すレジスト剥離装置の処理容器内に装填する。第1の実施例の図1Bに示すレジストパターン7のアッシング条件と同一の条件でレジストパターン7を剥離する。残渣を残すことなくきれいにレジストパターンを剥離することができた。W膜5をマスクとしてTiN膜4とポリシリコン膜3をエッチングする。

【0047】図3Cは、ポリシリコン膜3をエッチングした後の基板の断面図を示す。この場合も、第1の実施例の場合と同様に、ゲート絶縁膜2に対して高い選択比でポリシリコン膜3をエッチングすることができる。

【0048】図3Dは、図3Cに示すゲート積層構造を用いたMOSトランジスタを示す。ソース領域8S、ドレイン領域8D、及びサイドウォール絶縁膜9の形成方法は、第1の実施例における図1Dまでの工程と同様である。

【0049】第3の実施例では、図3BのTiN膜4及びポリシリコン膜3のエッチング時に、W膜5をマスクとして用いたが、第1の実施例における図1Aに示すように、W膜5の上にSiON膜6を堆積し、このSiON膜6をマスクとして用いてもよい。

【0050】上記第1～第3の実施例では、例えば図1Aに示すようにW膜5の下にTiN膜4を配置した場合を説明した。TiN膜4の代わりに、Wに対してエッチング選択性のある材料からなる膜を用いてもよい。例えば、TiN膜とTi膜との2層構造の膜を用いてもよい。

【0051】また、第1及び第2の実施例では、例えば図1Aに示すようにW膜5の上にSiON膜6を堆積する場合を説明した。SiON膜6の代わりに、炭素を含まない無機材料からなる膜を用いてもよい。例えば、SiN膜、SiO₂膜、またはこれらを積層した膜を用いてもよい。

【0052】また、上記第1～第3の実施例では、例えば図1Bの後、反応性イオンエッチング(RIE)装置を用いてTiN膜4及びポリシリコン膜3をエッチングする場合を説明した。RIE装置の代わりに、ECRプラズマエッチング装置を用いてもよい。この場合、例えば、Cl₂ガス流量30 sccm、O₂ガス流量5 sccm、圧力5 mtorr、マイクロ波電力1200 W、バイアス用高周波電力30 W、チラー温度20°Cの条件

で行う。

【0053】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0054】

【発明の効果】以上説明したように、本発明によれば、W膜のエッチングの後、基板を取り出す前に、W膜のエッチングマスクとして用いたレジストパターンを加熱する。この加熱により、レジストパターンを除去した後の残渣の発生を抑制することができ、発生した残渣も容易に除去することができる。W膜の下に配置されたSi膜をエッチングする際にレジストパターンが残っていないため、SiO₂膜に対して高い選択比でSi膜をエッチングすることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図2】本発明の第2の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図3】本発明の第3の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図4】本発明の実施例で用いたエッチング装置の概略を示す図である。

【図5】本発明の実施例で用いたレジスト剥離装置の概略を示す図である。

【図6】予備実験の各工程後の基板の状態を示す断面図である。

【符号の説明】

1 シリコン基板

10

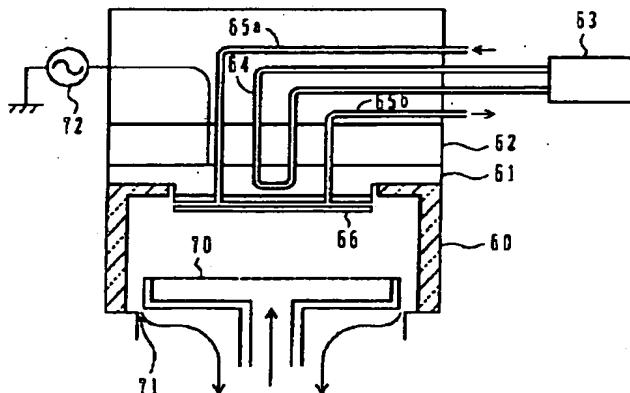
20

30

- 2 ゲート絶縁膜
- 3 ポリシリコン膜
- 4 TiN膜
- 5 W膜
- 6 SiON膜
- 7 レジストパターン
- 8 S ソース領域
- 8 D ドレイン領域
- 9 サイドウォール絶縁膜
- 60 処理容器
- 61 電極
- 62 断熱材
- 63 低温チラー
- 64 冷却水流路
- 65 a ガス供給管
- 65 b ガス排出管
- 70 エッチングガス供給口
- 71 間隙
- 72 高周波電源
- 80 処理容器
- 81 シャワー・ヘッド
- 82 プラズマ発生室
- 83 処理室
- 84 導波路
- 85 マイクロ波透過窓
- 86 ガス導入管
- 87 処理基板
- 88 ステージ
- 89 ガス排気口

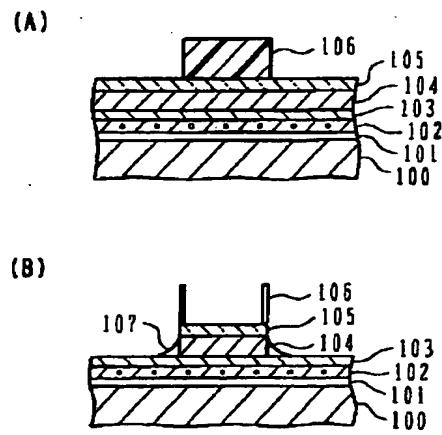
【図4】

エッチング装置



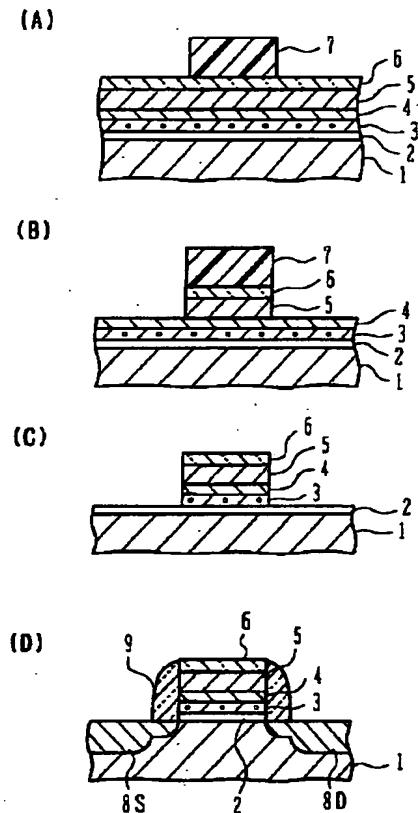
【図6】

予備実験



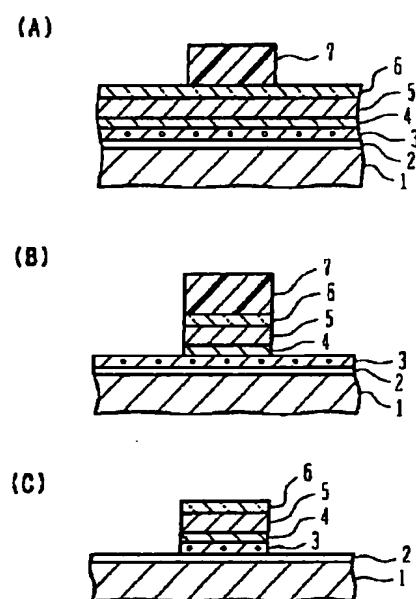
【図1】

第1の実施例



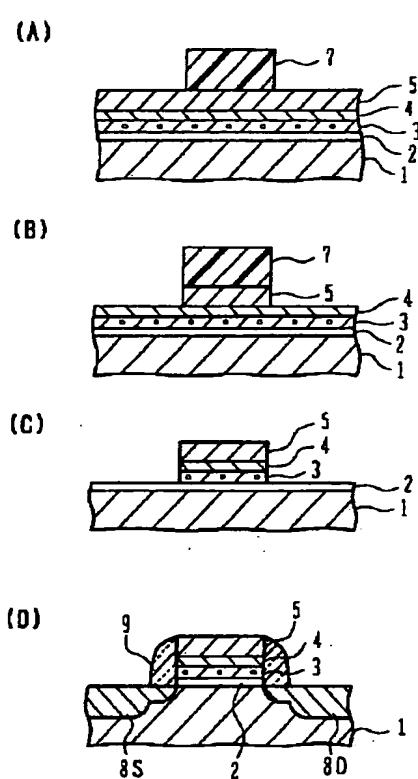
【図2】

第2の実施例



【図3】

第3の実施例



【図5】

レジスト剝離装置

